

Oscilador Sintetizado a 5.2 GHz en Tecnología SiGe de $0.4\mu\text{m}$

Ernesto Pérez Serna⁽¹⁾, Amparo Herrera Guardado⁽¹⁾

ernesto@dicom.unican.es, amparo@dicom.unican.es

⁽¹⁾Departamento de Ingeniería de Comunicaciones. Universidad de Cantabria.
E.T.S.I.I.T - Avda. de los Castros s/n. CP.39005 Santander (Cantabria)

Abstract- The implementation of a synthesized oscillator in the 5150-5250 MHz band, in $0.4\mu\text{m}$ BiCMOS technology, is described in this paper. Since this circuit is intended to be used in a direct conversion receiver, its VCO operates at double frequency so that known adverse phenomena, such as frequency pulling and LO leakage, are minimized. The static programmable frequency divider combines both CML and CMOS logic families, and allows the use of two possible carriers, 5175 and 5225 MHz. Phase margin stays above 70° for any frequency within the VCO tuning range. The overall power dissipation is below 104.3mW, and the surface occupied by the circuit -excluding pads- is about 0.367mm^2 .

I. INTRODUCCIÓN

En la búsqueda de sistemas de comunicaciones cada vez más integrados, los sistemas de conversión directa han venido cobrando gran importancia, especialmente en los últimos años. Arquitecturas anteriormente no tan atractivas se han visto beneficiadas de los avances en tecnología integrada hasta el punto de llegar a preferirse a menudo a sistemas heterodinos.

Algunos de los inconvenientes que presenta este tipo de arquitectura vienen dados precisamente por la coincidencia de la frecuencia del oscilador local con la señal de radiofrecuencia [1]. El ruido de fase del oscilador puede degradarse al acoplarse la señal modulada a la de oscilación. Es probable también el fenómeno de *automezcla* tanto de la señal de RF como del oscilador local consigo mismas.

Un modo efectivo de paliar algunos de estos problemas es el uso de un oscilador local a frecuencia doble, dividida justo antes de entrar al mezclador [2]. Si el VCO funciona al doble de frecuencia, su oscilación no se ve afectada por acoplos del resto del sistema, y a su vez el oscilador en sí genera interferencia fuera de la banda de interés.

El oscilador sintetizado presentado está pensado para funcionar en un sistema de conversión directa en la banda de 5150 MHz - 5250 MHz. Por los motivos expuestos, el VCO se ha diseñado para cubrir el intervalo de 10300 MHz - 10500 MHz. El divisor programable tiene dos posibles razones de división, para enganchar el oscilador a las frecuencias de 5175 MHz y 5225 MHz.

II. DISEÑO DEL SISTEMA

En la fig. 1 se muestra la estructura global del sistema. El PLO ha de ser capaz de generar una portadora centrada en 5175 MHz ó 5225 MHz. Como el VCO oscila al doble de frecuencia que la portadora, le sigue un divisor de frecuencia entre dos, y una etapa de amplificación para poder cargar 50Ω .

Al no haber, en un principio, restricciones al respecto, se ha tomado como frecuencia de referencia 25 MHz, bastante común en osciladores a cristal, y máxima frecuencia posible sin introducir división fraccional (permitiendo utilizar razones de división reducidas sin añadir demasiada complejidad). El divisor programable ha de permitir por tanto las razones de división enteras 207 y 209.

Cierran el lazo un filtro pasivo de 3^{er} orden y un detector fase-frecuencia con *charge-pump*.

El oscilador sintetizado está implementado en la tecnología de SiGe de $0.4\mu\text{m}$ CDR1BiCMOS de Freescale, y alimentado con 2.5 voltios.

A. VCO

La topología del oscilador diseñado (fig. 2) es de tipo diferencial con transistores cruzados, familia ampliamente estudiada y utilizada por sus excelentes características de ruido de fase y consumo [3], [4]. Un único inductor hace la resonancia junto con dos varactores y las capacidades de los transistores. El VCO está optimizado para conseguir un equilibrio entre consumo, ruido de fase y área.

B. Divisor fijo

El divisor por dos está realizado con un biestable maestro-esclavo CML (fig. 3(a)). Para conseguir funcionar cómodamente a esa frecuencia se han utilizado transistores HBT. Para los interruptores controlados por la señal de reloj se han empleado sin embargo MOS, con el fin de mantener una impedancia de entrada alta y fundamentalmente capacitiva (fig. 3(b)). Esto reduce la frecuencia máxima de operación pero permite acoplar el divisor directamente al oscilador sin necesidad de *buffers* intermedios, pasando a formar su capacidad de entrada parte de la capacidad del resonante del VCO.

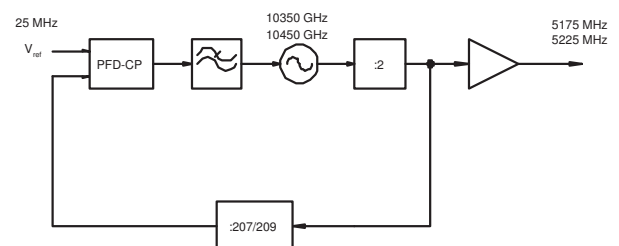


Fig. 1. Diagrama de bloques del PLO

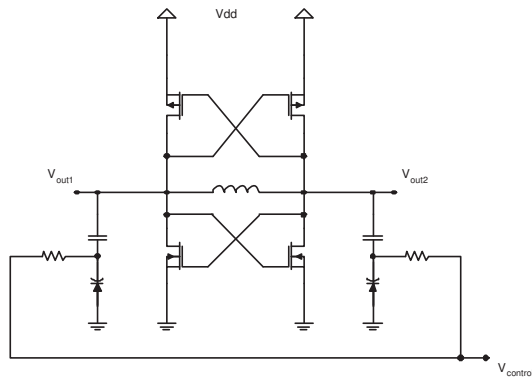
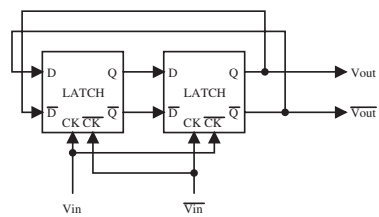
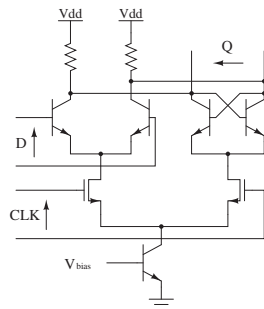


Fig. 2. Esquema del VCO



(a) Biestable maestro-esclavo como divisor



(b) Latch BiCMOS utilizado

Fig. 3. Divisor de frecuencia entre 2

Los dos latches que componen el biestable están acoplados en continua, de modo que se ha prescindido de la red de polarización para las bases de los bipolares.

C. Buffers de salida

Los latches CML del divisor de frecuencia no pueden cargarse con impedancias muy pequeñas, por lo que se hace necesaria al menos una etapa de amplificación, recomendable además para mantener aislamiento del mezclador. Como este divisor, pese a ser diferencial, tiene además una importante componente común, se ha separado esta etapa en dos partes: un amplificador diferencial de dos etapas, y sendos seguidores de emisor en cada una de sus salidas.

D. Divisor programable

La estructura del divisor programable puede verse en la fig. 4, en una típica configuración de dos contadores, y *prescaler* de doble módulo [9] en este caso de razón 17/18. En el estado inicial ambos contadores se decrementan con cada ciclo de reloj que proporciona el *prescaler*, configurado en división entre 18. Cuando A llega a cero se detiene y cambia a división entre 17, hasta que B llega a cero, momento en que A y B se

cargan con sus valores iniciales y se vuelve a empezar. Con $B \geq A$, y un *prescaler* de módulo $P/P + 1$, la división total es entre $(P + 1) \cdot A + P \cdot (B - A) = PB + A$.

Como en este caso en particular el divisor sólo debe moverse entre dos valores, se ha elegido un *prescaler* 17/18 con dos tamaños de registro pequeños ($A=3, 5$; $B=12$). De este modo las dos razones de división disponibles son $17 \cdot 12 + 3 = 207$ y $17 \cdot 12 + 5 = 209$.

El *prescaler* es sólo parcialmente síncrono (fig. 5). Una solución totalmente síncrona sería preferible, pero eso reduciría la impedancia de carga del reloj además de incrementar el consumo (ya que un contador síncrono sería más lento y por tanto requeriría corrientes de polarización más elevadas). Un *prescaler* mixto permite mayor flexibilidad sin sacrificar fiabilidad, por lo que es una alternativa común incluso a frecuencias más bajas [5].

La señal entra en un divisor 4/5 cuya salida hace de reloj de un contador módulo 4. Este segundo contador modifica la razón de división del primero para generar secuencias de $4 + 4 + 5 + 5 = 18$ ó $4 + 4 + 4 + 5 = 17$ ciclos.

Aunque, por simplicidad, en el esquema de la figura no se ha detallado, toda la lógica que compone el *prescaler* es de tipo CML (señales, por tanto, diferenciales).

Los contadores A y B se han implementado con lógica CMOS, más compacta, de menor consumo, y factible ya a las frecuencias de operación (< 320 MHz)

E. Comparador de fase

Para el comparador de fase se ha utilizado un circuito de tipo detector fase-frecuencia (PFD) con *charge-pump*, alternativa preferida para estas frecuencias [6]-[8]. El PFD está construido con dos biestables y una puerta NAND (fig. 6(a)) [8].

El circuito *charge-pump* sigue el esquema de la fig. 6(b). Los pulsos positivos y negativos de I_0 son generados redirigiendo las corrientes de los espejos superior e inferior respectivamente. Como en esta tecnología los transistores bipolares

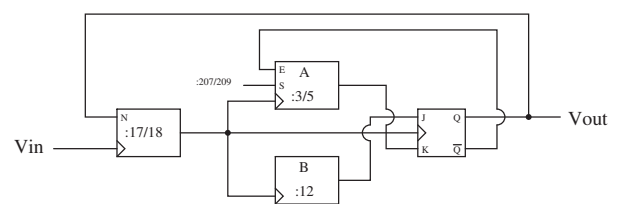


Fig. 4. Divisor programable 207/209

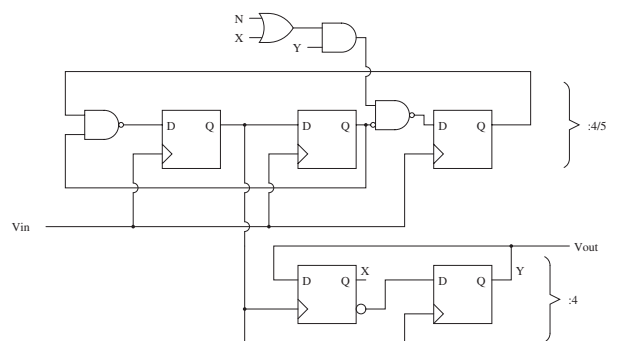


Fig. 5. Prescaler 17/18

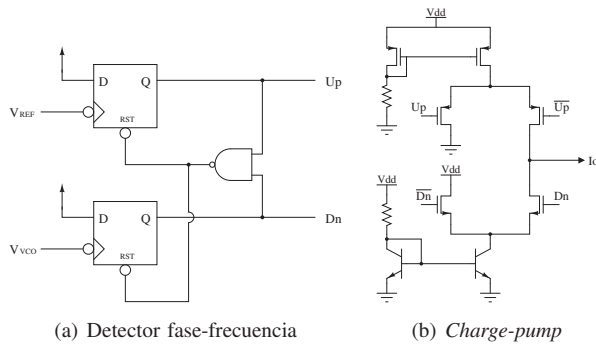
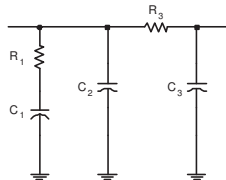


Fig. 6. Comparador de fase

Fig. 7. Filtro pasivo de 3^{er} orden

tienen una mayor resistencia de salida, se han preferido de este tipo para la construcción de fuentes de corriente frente a los MOS de canal N.

La corriente media del *charge-pump* es de aproximadamente $580\mu A$.

F. Filtro

Cierra el lazo un filtro pasivo de tercer orden (fig. 7). Aunque C_1 , de $150pF$, ocupa un área representativa ($165 \times 165\mu m^2$), ésta es aún lo suficientemente reducida como para no requerir el uso de capacidades activas.

El ancho de banda del PLL en su conjunto, función de K_{VCO} , es del orden de 1 MHz. El margen de fase se mantiene por encima de los 70° para todo el rango del VCO.

III. LAYOUT

El circuito completo, sin contar los *pads* de salida, ocupa un área aproximada de $0.367mm^2$ (Fig. 8).

Se han incluido condensadores para filtrado de la alimentación en los puntos clave del circuito. Asimismo, el condensador C_3 del filtro pasivo se ha colocado lo más cerca posible de los varactores del VCO, con el fin de reducir modulaciones espúreas por acoplos en la tensión de control.

IV. SIMULACIÓN

Para poder verificar el diseño, se ha simulado por una parte la sección de alta frecuencia en lazo abierto desde el VCO hasta la carga de 50Ω , y por otra los elementos de baja frecuencia (divisor programable, PFD, *charge-pump* y filtro). El comportamiento general del PLO se ha comprobado simulando modelos de los bloques funcionales, en lugar de a nivel de circuito.

Se han extraído modelos de parásitos de todo el layout a excepción de las líneas de salida de 50Ω para las cuales se ha utilizado precisamente un modelo distribuido.

De acuerdo con las simulaciones, el intervalo de sintonía abarca de 10.00 GHz a 10.86 GHz con una tensión de control

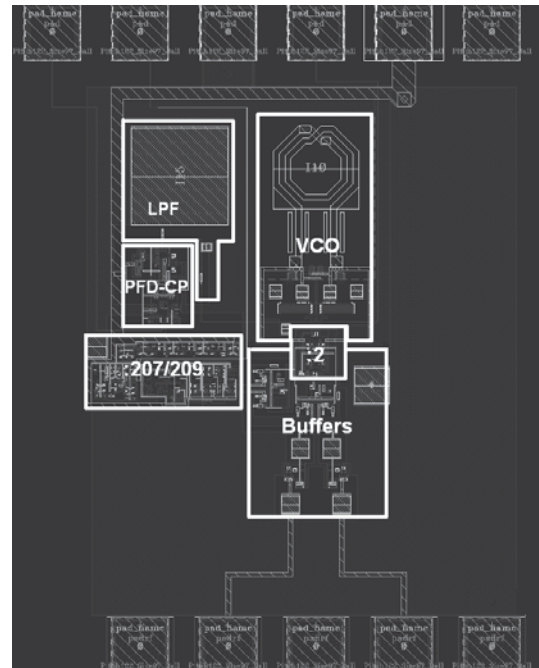


Fig. 8. Layout del PLO completo

de 0 a 2.5 voltios. La ganancia del VCO K_{VCO} varía entre 170.1 MHz/v y 675.6 MHz/v.

Cada *buffer* de salida debería entregar una potencia de entre -6.83dBm y -3.81dBm (para la máxima y mínima frecuencia de oscilación libre del VCO respectivamente).

Se espera que el lazo funcione correctamente entre 5.07 GHz y 5.39 GHz, rango dentro del cual el *charge-pump* se comporta de manera aceptable como fuente de corriente¹.

El oscilador completo presenta un consumo máximo de 104.3mW, de los cuales aproximadamente 20mW corresponden al VCO, y 42mW a los *buffers* de salida utilizados para cargar con 50Ω . Al integrar el sintetizador en el sistema completo esta última etapa será prescindible.

V. CONCLUSIONES

Se ha presentado un oscilador sintetizado pensado para trabajar en la banda de 5150 MHz - 5250 MHz en un sistema de conversión directa, motivo por el cual el VCO funciona al doble de frecuencia. Se ha conseguido ocupar un área reducida, $0.367mm^2$, debido especialmente a la topología elegida del VCO con un único inductor, que permite diseños mucho más compactos. El layout completo ha sido comprobado por la herramienta de diseño, por lo que está listo para ser fabricado para su verificación experimental.

AGRADECIMIENTOS

Este trabajo ha sido financiado por el proyecto *Transceptores integrados multielemento y monocircuito para radiocomunicación digital de banda ancha*, TIC-2003-09061-C03-03.

¹Intervalo en el cual los transistores bipolar y PMOS se encuentran en las respectivas zonas activa y de saturación.

REFERENCIAS

- [1] B. Razavi, *Design Considerations for Direct-Conversion Receivers* IEEE Transactions on Circuit and Systems - II: Analog and Digital Signal Processing, Vol. 44, No. 6, Junio de 1997
- [2] J. Ryyänänen, K. Kivekäs, J. Jussila, A. Pärssinen y K. Halonen, *RF Gain Control in Direct Conversion Receivers* Proceedings of the IEEE International Symposium of Circuits and Systems, 2002, Vol. 4, pp. 117-120.
- [3] Z. Gu y A. Thiede, *10 GHz Low-Noise Low-Power Monolithic Integrated VCOs in Digital CMOS Technology*. IEICE Trans. Electron., Vol.E89-C, No.1. Enero de 2006.
- [4] D. Ham y A. Hajimiri, *Concepts and Methods in Optimization of Integrated LC VCOs*. IEEE Journal of Solid-State Circuits, Vol.36, No.6. Junio de 2001.
- [5] K. Waheed, K. Desai, P. Seddighrad, y F. Salam, *A Completely Integrated, Low Noise, Low Power CMOS Frequency Synthesizer for GSM Communications*. 45th IEEE International Midwest Symposium on Circuits and Systems, Agosto de 2002
- [6] W. Rhee, *Design of high-performance CMOS charge pumps in phase-locked loops* Proceedings of the IEEE International Symposium on Circuits and Systems, 1999 Vol. 2, pp. 545-548.
- [7] A. Maxim, *Low-Voltage CMOS Charge-Pump PLL Architecture for Low Jitter Operation* European Solid-State Circuits Conference, 2002.
- [8] C. Yang y S. Liu, *Fast-Switching Frequency Synthesizer with a Discriminator-Aided Phase Detector* IEEE Journal of Solid-State Circuits, Vol. 35, No. 10, Octubre de 2000.
- [9] K. Shu y E. Sánchez-Sinencio *CMOS PLL Synthesizers. Analysis and Design*. Springer-Verlag, 2004.